

145

)))))))))))

**Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231**

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

Sir:


In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of June 20, 2003, the filing date of the corresponding Japanese patent application 2003-176281.

A certified copy of Japanese patent application 2003-176281 is being submitted herewith. Acknowledgment of receipt of the certified copy is respectfully requested in due course.

Respectfully submitted,

Stanley P. Fisher
Registration Number 24,344

REED SMITH LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
February 6, 2004


Juan Carlos A. Marquez
 Registration Number 34,072

PATENT OFFICE

JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application : June 20, 2003
Application Number : Patent Application No. 2003-176281
Applicant (s) : Hitachi, Ltd.
Hitachi Displays, Ltd.

Dated this 26th day of December, 2003

Yasuo IMAI
Commissioner,
Patent Office

Certificate No. 2003-3107881

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 6月20日
Date of Application:

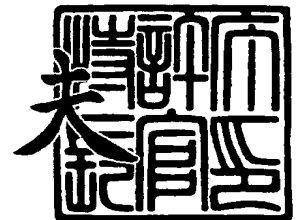
出願番号 特願2003-176281
Application Number:
[ST.10/C]: [JP2003-176281]

出願人 株式会社日立製作所
Applicant(s): 株式会社日立ディスプレイズ

2003年12月26日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3107881

【書類名】 特許願

【整理番号】 310300454

【提出日】 平成15年 6月20日

【あて先】 特許庁長官殿

【国際特許分類】 G09F 3/36
G02F 1/133

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 田井 光春

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 波多野 睦子

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 山口 伸也

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 芝 健夫

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 佐藤 秀夫

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【特許出願人】**【識別番号】** 502356528**【氏名又は名称】** 株式会社日立ディスプレイズ**【代理人】****【識別番号】** 100093506**【弁理士】****【氏名又は名称】** 小野寺 洋二**【電話番号】** 03-5541-8100**【手数料の表示】****【予納台帳番号】** 014889**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 画像表示装置

【特許請求の範囲】

【請求項 1】

絶縁性基板と、該絶縁性基板上に多結晶シリコン半導体膜を有する画素部および画素駆動回路部を少なくとも含む複数の回路領域を形成したアクティブ・マトリクス基板を具備する画像表示装置であって、

前記複数の回路領域の少なくとも一つに、チャンネルを流れる電流の流れる方向が異なる複数の薄膜トランジスタを有することを特徴とする画像表示装置。

【請求項 2】

絶縁性基板と、該絶縁性基板上に多結晶シリコン半導体膜を有する画素部および画素駆動回路部を少なくとも含む複数の回路領域を形成したアクティブ・マトリクス基板を具備する画像表示装置であって、

チャンネルを流れる電流の流れる方向が同一の回路領域において、その方向が少なくとも一組の回路領域同士では互いに異なることを特徴とする画像表示装置。

【請求項 3】

絶縁性基板と、該絶縁性基板上に多結晶シリコン半導体膜で構成された画素部および画素駆動回路部を少なくとも含む複数の回路領域を形成したアクティブ・マトリクス基板を具備する画像表示装置であって、

前記複数の回路領域の各々を構成する前記薄膜トランジスタの電流の流れる方向が領域内で同一である回路領域と、前記電流の流れる方向が領域内で異なる回路領域が少なくとも一組存在することを特徴とする請求項 1 に記載の画像表示装置。

【請求項 4】

各々の回路領域を構成する前記薄膜トランジスタの電流の流れる方向が、領域内において同一である回路領域の全てで同一の向きを持つことを特徴とする請求項 3 に記載の画像表示装置。

【請求項 5】

各々の前記回路領域を構成する前記薄膜トランジスタの電流の流れる方向が領

域内において同一である回路領域では、前記薄膜トランジスタのチャネル及びソース・ドレイン領域の表面の高低差が5 nm以下であり、

前記多結晶シリコン半導体膜の結晶粒の形は、

幅が0.3 μ m以上2 μ m以下、長さが4 μ m以上の短冊状の薄膜で形成され

、
前記回路領域を構成する薄膜トランジスタの電流の流れる方向が、領域内において複数存在する回路領域では前記チャネル及びソース・ドレイン領域での前記結晶粒の平均粒径が1 μ m以下、かつ表面の高低差が20 nm以上であることを特徴とする請求項3又は4に記載の画像表示装置。

【請求項6】

前記薄膜トランジスタは、複数種の表面形状を有する多結晶シリコン薄膜から形成されており、そのうちの少なくとも一つの回路領域を構成する薄膜トランジスタのチャネル及びソース・ドレイン領域の表面の高低差が5 nm以下であり、前記多結晶シリコン薄膜の結晶粒の形は、幅が0.3 μ m以上2 μ m以下、長さが4 μ m以上の短冊状であることを特徴とする請求項1乃至3の何れかに記載の画像表示装置。

【請求項7】

請求項1から請求項6に記載の集積回路において、前記薄膜トランジスタは、複数種のゲート絶縁材料および膜厚を前記回路領域毎に有することを特徴とする請求項1乃至6の何れかに記載の画像表示装置。

【請求項8】

前記薄膜トランジスタは、前記回路領域毎に複数種の構造を有することを特徴とする請求項1乃至6の何れかに記載の画像表示装置。

【請求項9】

同一の絶縁性基板上に形成され、多結晶シリコン薄膜で形成される薄膜トランジスタを有する画素部および画素駆動回路部を少なくとも含む複数の回路領域を形成したアクティブ・マトリクス基板を具備する画像表示装置であって、

前記画素部の回路領域を形成する薄膜トランジスタのチャネル及びソース・ドレイン領域は、平均粒径が1 μ m以下で、表面の高低差が20 nm以上である多

結晶シリコン薄膜であり、

前記画素部の回路領域を除く前記複数の回路領域のうち、少なくとも一つの回路領域を構成する薄膜トランジスタのチャネル及びソース・ドレイン領域の前記多結晶シリコン薄膜の結晶粒の形は、幅が $0.3\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下、長さが $4\ \mu\text{m}$ 以上の短冊状で、かつ前記チャネル及びソース・ドレイン領域の表面の高低差が $5\ \text{nm}$ 以下であることを特徴とする画像表示装置。

【請求項 10】

前記画素部の回路領域を除く前記複数の回路領域を構成する薄膜トランジスタが、複数種のゲート絶縁材料、および膜厚を有することを特徴とする請求項 9 に記載の画像表示装置。

【請求項 11】

前記画素部を除く回路領域を構成する前記薄膜トランジスタが、複数種の構造を持つ事を特徴とする請求項 9 に記載の画像表示装置。

【請求項 12】

前記画素部の回路領域を除く前記複数の回路領域に、レベルシフタ、サンプリングスイッチ回路、バッファ回路を有する画素駆動回路を有し、

前記画素駆動回路を構成する薄膜トランジスタのチャネル及びソース・ドレイン領域は、平均粒径が $1\ \mu\text{m}$ 以下、表面の高低差が $20\ \text{nm}$ 以上である多結晶シリコン薄膜から形成されており、

前記レベルシフタと前記サンプリングスイッチ回路を除く回路のうち、少なくとも一つを構成する薄膜トランジスタのチャネル及びソース・ドレイン領域を構成する多結晶シリコン薄膜の結晶粒の形が、幅 $0.3\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下、長さが $4\ \mu\text{m}$ 以上の短冊状で、かつ表面の高低差が $5\ \text{nm}$ 以下である多結晶シリコン薄膜で形成されていることを特徴とする請求項 9 に記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像表示装置に係り、特に高速動作の薄膜トランジスタを用いた回路を具備する画像表示装置に関する。

【0002】**【従来の技術】**

アクティブ・マトリクス方式の液晶表示装置（液晶ディスプレイ）、有機発光表示装置（有機ELディスプレイ）、あるいはイメージセンサの画素及び画素駆動回路を構成するアクティブ素子として、ポリシリコン薄膜トランジスタ（以下、ポリシリコンTFTとも言う）が開発されている。ポリシリコンTFTは、他の駆動回路素子に比べ、駆動能力が大きい点で有利であり、画素と同一の基板上に周辺駆動回路を搭載することができる。

【0003】

テレビ受像機や大形のモニターなどの大サイズの液晶表示装置に用いられるポリシリコンTFTは、コスト面の要請から、画像表示装置のアクティブ基板（所謂、あるいはアクティブ・マトリクス基板）を構成する絶縁性基板であるガラス基板上に形成される。ガラス基板上にTFTを形成するプロセスでは、ガラスの耐熱温度がプロセス温度を規定する。

【0004】

ガラス基板（以下、単に基板とも称する）上に高品質なポリシリコン薄膜（以下、多結晶シリコン薄膜とも称する）を形成するには、「非特許文献1」に記載のように、エキシマレーザによる結晶化を利用する。

【0005】

画素駆動回路部に、より高性能な集積回路を搭載するためには、より高性能なポリシリコンTFTを実現する必要があるが、例えば、「非特許文献2」、あるいは、「非特許文献3」に記載のように、固体レーザを用いた結晶化により、レーザの走査方向に結晶粒径が大きく、粒幅のそろった、表面が平坦なポリシリコン薄膜が得られる。このポリシリコン薄膜でポリシリコンTFTを形成することで薄膜トランジスタの性能が向上することが報告されている。

【0006】**【非特許文献1】**

テクノロジー・アンド・アプリケーションズ・オブ・アモルファスシリコン（2000年）第94頁から第146頁（Technology and Applications of Amorp

hous Silicn (Springer 2000) PP94-146) 。

【非特許文献 2】

国際電子デバイス学会予稿集 (2 0 0 1 年) 第 7 4 7 頁から第 7 5 1 頁 (International Electron Devices Meeting (Washington DC, 2001) PP747-751) 。

【非特許文献 3】

情報ディスプレイ学会国際シンポジウムダイジェスト (2 0 0 2 年) 第 1 5 8 頁から第 1 6 1 頁 (Society For Information Display International Symposium Digest 2002 PP158-161) 。

【 0 0 0 7】

【発明が解決しようとする課題】

エキシマレーザを用いて結晶化したポリシリコン薄膜を薄膜トランジスタに利用してきたこれまでのポリシリコン薄膜は、結晶粒径が小さく、結晶粒の形状に異方性が少ない。従って、薄膜トランジスタを基板上にどのような向きに配置しても、その性能はほぼ同じであった。この理由から、基板上での薄膜トランジスタの配置はレイアウト面積の低減を目的として行われており、必然的に複数の向きを持った薄膜トランジスタが、同一基板上に存在する。

【 0 0 0 8】

前記のように、固体レーザを用いた結晶化により、レーザの走査方向に対し、結晶粒径が大きく、レーザの走査方向に対して垂直な方向に結晶粒幅の揃った、表面が平坦なポリシリコン薄膜が得られる。このポリシリコン薄膜で作製した TFT の性能は、従来搭載不可能であった回路が搭載でき、アクティブ・マトリクス基板の高機能化を果たすことができる。しかし、従来のポリシリコン薄膜は、シリコン結晶の異方性が大きく、従来どおりのレイアウトを行うと、回路動作に必要とされる性能が得られない場合が生じる。

【 0 0 0 9】

本発明の目的は、多数の画素をマトリクス状に配置された画素部 (画素領域、または表示領域) と、画素部を駆動させるための高速の電流移動度 (電子移動度、ホール移動度) で動作する高性能の薄膜トランジスタ回路で構成した画素駆動回路部を絶縁性基板に備えた画像表示装置を提供することである。

【0010】

なお、本発明は、画像表示装置のための絶縁性基板に形成された半導体膜を上記高速の電流移動度を可能とする特性をもつ薄膜に改良するポリシリコン薄膜の改質に限るものではなく、他の基板、例えばシリコンウエハ上に形成された半導体膜の改質等にも同様に適用できる。

【0011】**【課題を解決するための手段】**

上記目的を達成するために、本発明は、まず、絶縁性基板の全域に形成された非晶質（アモルファス）シリコン膜の全面にエキシマレーザ光を照射して、ポリシリコン膜に改質し、あるいは化学気相法（CVD法）でポリシリコン膜を形成した絶縁性基板を作製し、この絶縁性基板の画素領域の周辺に配置される駆動回路領域のポリシリコン膜に固体レーザを用いたパルス変調レーザ光あるいは擬似CWレーザ光を選択的に照射しながら、所定の方向に走査して、レーザの走査方向に結晶粒径が大きく、粒幅のそろった、表面が平坦なポリシリコン薄膜からなる帯状結晶シリコン膜の不連続改質領域を形成する。

【0012】

上記の不連続改質領域は矩形状とし、この矩形状の不連続改質領域内に所要の回路を作り込む。その際に、レーザ走査方向と個々の回路を構成するTFTのチャネル方向との相対関係の違いによるTFT特性の差異を考慮して、個々の回路の要求仕様に対して最適となるように、TFTを配置することにより、上記本発明の目的が達成される。なお、本発明では、上記のパルス変調レーザ光あるいは擬似CWレーザ光の照射で略帯状結晶シリコン膜の不連続改質領域を作製する手法をSELAX（Selectively Enlarging Laser Crystallization）と称する。

【0013】**【発明の実施の形態】**

以下、本発明の実施の形態について、実施例の図面を参照して詳細に説明する。ここでは、絶縁性基板としてガラス基板を用いた液晶表示装置に本発明を適用した場合で説明する。図1は画像表示装置を構成するアクティブ・マトリクス基板であるガラス基板上に形成した画像部と画素駆動回路部および他の必要な回路

類の概略を模式的に説明する平面図である。なお、液晶表示装置では、このアクティブ・マトリクス基板にカラーフィルタなどを形成した対向基板（カラーフィルタを有するものではカラーフィルタ基板と称する）を重ねて貼り合わせ、両基板の貼り合わせ間隙に液晶が封入される。

【0014】

ここでは、アクティブ・マトリクス基板が線順次方式であるものとして説明する。ガラス基板SUBに形成される各回路は、その大部分に画素領域DSPを有する。画素領域DSPにマトリクス状に配列される画素PXLは、データ線DLとゲート線GLの交差部に設けられる。この画素PXLは、スイッチとして働くTFTと、画素電極で構成される。本実施例では、スイッチが2個のTFTで構成されるダブルゲートの場合を示しているが、シングルゲートあるいはマルチゲートであってもよい。

【0015】

ガラス基板SUB上の画素領域DSPの外側で、当該画素領域DSPに形成された多数の画素PXLに駆動信号を供給する回路を形成した駆動回路領域を配置する。画素領域DSPの一方の長辺（図1の上辺）に、デジタル化された表示データをデジタルアナログ変換器DACに順次読み込ませる役割を持つシフトレジスタDSR、デジタル化された表示データを階調電圧信号として出力するデジタルアナログ変換器DAC、デジタルアナログ変換器DACからの階調信号を増幅して所望の階調電圧を得るレベルシフタDLS、バッファBF、隣接画素で階調電圧の極性を反転させるサンプリングスイッチSSWが配置されている。

【0016】

また、画素領域DSPの短辺（図1の左辺）には、画素電極PXLのゲートを順次開いてゆくためのシフトレジスタGSR、レベルシフタGLSが配置されている。そして、上記回路群の周辺には、システムLSIから送られた画像データを表示装置に取り込んで信号変換を行うインタフェースIF、階調信号発生器SIG、各回路のタイミング制御用のクロック信号を発生するクロック信号発生器CLG等が配置されている。

【0017】

これらの回路群の内、インターフェース I F、クロック信号発生器 C L G、ドレイン側シフトレジスタ D S R、ゲート側シフトレジスタ G S R、デジタルアナログ変換器 D A C といった回路は、デジタル信号を処理するため高速性が必要とされ、かつ低電力化のため、低電圧駆動が必要とされる。

【0018】

一方、画素 P X L は液晶に電圧を印加し、液晶の透過率を変調するための回路であり、階調を出すためには高電圧駆動とならざるをえない。また、一定時間電圧を保持するためには、スイッチングをする薄膜トランジスタは低リーク電流でなければならない。低電圧駆動回路群と高電圧駆動回路群の間にあるドレイン側レベルシフタ D L S、ゲート側レベルシフタ G L S、バッファ B F、サンプリングスイッチ S S W は、画素 P X L へ高電圧のアナログ信号を送るため、高電圧駆動が要求される。以上のように、ガラス基板 S U B 上に画像表示用の回路を作製するためには、相反する複数の仕様の T F T を同時に搭載する必要がある。

【0019】

図2はアクティブ・マトリクス基板の各駆動回路領域に形成される各回路に対する要求仕様とその仕様を満たした場合の効果をまとめた説明図である。各領域に形成される各回路の要求仕様とその仕様に対する効果は図2中に記述してあるので、ここでは繰り返しの説明はしない。図2にまとめた要求仕様を満たすために、本実施例では、図1において、インターフェース I F、クロック信号発生器 C L G、ドレイン側のシフトレジスタ D S R、ゲート側シフトレジスタ G S R、デジタルアナログ変換器 D A C の部分にパルス変調レーザ光の走査による選択的な照射で、レーザの走査方向に連続した粒界を持つように改質された帯状結晶シリコン膜の不連続改質領域を適用する。この不連続改質領域を適用する範囲を図1において参照符号 S X で示す。

【0020】

図3はアモルファスシリコン膜を良質なポリシリコン膜に改質する様子を説明する模式図である。図3(a-1)は斜視図、図3(a-2)は図3(a-1)を図3(a-1)の上方からみた平面図である。また、図3(b-1)は斜視図、図3(b-2)は図3(b-1)を図3(b-1)の上方からみた平面図であ

る。図3 (a-1)、(a-2)に示すように、絶縁基板INS上の全域にプリカーサ膜PRC、非晶質シリコン膜（以下、アモルファスシリコン膜とも言う）ASIを化学気相成長法（CVD法）によって成膜する。プリカーサ膜PRCは絶縁膜の種類によっては、必ずしも成膜すべきものではないが、本実施例ではこれを成膜したものとして説明する。

【0021】

形成されたアモルファスシリコン膜ASIの全面に、エキシマレーザ光EXLを照射して、ポリシリコン膜PSIに改質する。このときの改質は非晶質→多結晶の処理である。このポリシリコン膜PSIは化学気相法（CVD法）あるいはスパッタ法で直接成膜してもよい。つづいて、図3 (b-1)、(b-2)に示すように、図1の領域SXに相当する領域のポリシリコン膜PSIに固体レーザを用いたパルス変調レーザ光あるいは擬似CWレーザ光SSLを選択的に照射しながら、所定の方向SSLDに走査して、レーザの走査方向に結晶粒径が大きく、粒幅のそろった、表面が平坦なポリシリコン薄膜からなる帯状結晶シリコン膜の不連続改質領域VTLを形成する。この不連続改質は多結晶→結晶粒拡大の処理である。なお、エキシマレーザ光EXLの走査方向EXLDと、固体レーザを用いたパルス変調レーザ光あるいは擬似CWレーザ光SSLの走査方向SSLDは必ずしも一致しなくともよい。

【0022】

以下、上記の方法で得た不連続改質を施した矩形状の領域VTLを便宜上仮想タイルとも称する。仮想タイルVTLの大きさは、作り込む回路規模に対応した大きさ、あるいは複数の回路を作り込む大きさに設定される。

【0023】

図4は薄膜トランジスタのレイアウトと固体レーザの照射方向および粒界の様子を模式的に説明する平面図である。前記した方法で図1の領域SX内に搭載された回路群を構成する薄膜トランジスタは、図4の(a)に示すように、固体レーザを用いたパルス変調レーザ光あるいは擬似CWレーザ光の走査方向SSLDと薄膜トランジスタTFTPのソース・ドレイン方向SDDが平行となるようにレイアウトした場合、電子の結晶粒境界での散乱回数が少ないために、電子の移

動度が $300 \text{ cm}^2 / \text{V} \cdot \text{s}$ から $500 \text{ cm}^2 / \text{V} \cdot \text{s}$ と大きく、しきい値のばらつきも $\pm 0.2 \text{ V}$ 以下となる。

【0024】

また、図4(b)に示すように、固体レーザを用いたパルス変調レーザ光あるいは擬似CWレーザ光の走査方向SSLDと薄膜トランジスタTFTVのソース、ドレイン方向SDDが垂直となるようにレイアウトした場合、電子の移動度は $100 \text{ cm}^2 / \text{V} \cdot \text{s}$ から $300 \text{ cm}^2 / \text{V} \cdot \text{s}$ と低くなるが、抵抗が大きくなるために、オフ時の電流が小さく、また特性劣化が少なく、高耐圧なトランジスタ特性を示す。

【0025】

図5は仮想タイルVTL内に作製した薄膜トランジスタのレイアウト方法の違いによる輸送特性を比較した説明図である。図5において、曲線TFTPC、TF TVCは、図4のそれぞれ(a)TFTP、(b)TFTVの輸送特性を示す。従って、例えば、メモリスイッチのような、電荷を保持、放蓄電する素子に利用できる。

【0026】

上記の薄膜トランジスタ群により、従来はガラス基板上に搭載された画像部(表示領域)の外周にLSIチップとして搭載されていた高速回路群(主として画素駆動回路)を同一ガラス基板内に直接搭載することが可能となる。これにより、LSIチップコストの削減、パネル周辺部(アクティブ・マトリクス基板の外周)の非画素領域の削減が可能となる。またLSIチップ設計、製造の時点で行われていた回路のカスタム化がアクティブ・マトリクス基板となるパネル製造工程で可能となる。

【0027】

次に、実際の基板上におけるレイアウトの実施例を図6から図9を参照して説明する。図6は本発明の実施例における絶縁性基板上での画素のレイアウトの一例を説明する要部平面図である。画素PXLは図1に示した画素領域DSPは、電荷を保持、放蓄電するための薄膜トランジスタで構成したスイッチSWと保持容量CSTと画素電極CLQから構成される。スイッチSWはソース側がコンタ

クトSCTを介してドレイン線DLに、ドレイン側が保持容量CSTに、ゲートがゲート線GLに接続される。ドレイン線DLに送られた階調信号は、スイッチSWがオン状態の時、保持容量CST及び保持容量CSTとコンタクトICTを介して接続している画素電極CLQに電荷として送られる。この電荷はスイッチSWがオフ状態の時保持され、再びオン状態になるとドレイン線DLに放電し、リセットされる。

【0028】

スイッチSWは、耐圧向上のために2個の薄膜トランジスタSWTR1とSWTR2で構成されたダブルゲート構造になっている。本実施例では、スイッチSWをダブルゲート構造の例で示したが、後述するLDD (Lightly Doped Drain) 構造を有する1個の薄膜トランジスタ、あるいは2個の薄膜トランジスタで構成されるスイッチを採用しても耐圧向上の実現が可能である。画素PXLを構成する素子は、前記したアモフファスシリコンからエキシマレーザによって改質したポリシリコン膜PSIで作製される。従って、ポリシリコン膜に異方性は無く、どのようにレイアウトしても、薄膜トランジスタの特性に大きな差異は無い。従って、本実施例の場合、レイアウト面積縮小と画素の開口率向上のために薄膜トランジスタSWTR1と薄膜トランジスタSWTR2のソース・ドレインの向きが互いに直行するようにレイアウトすることが望ましい。

【0029】

画素と同様、サンプリングスイッチ、ドレイン側レベルシフタ、ゲート側レベルシフタ、バッファといった回路では、構成素子が図3のポリシリコン膜PSIで作製される。よってこれらの回路では、構成する薄膜トランジスタ群のソース、ドレインの向きが互いに直行するものが存在する様、レイアウトすることが望ましい。

【0030】

図7はドレイン側シフトレジスタDSRの1段分の基板上でのレイアウト例を模式的に説明する要部平面図である。また、図8はドレイン側シフトレジスタDSR1段分の論理回路図である。そして、図9は図7に示したシフトレジスタの動作を説明するタイミング図である。画像表示装置の駆動回路を構成するシフト

レジスタは、通例ではM段から構成され、ここでは、便宜上、N段目のシフトレジスタであるとする。N-1段目のシフトレジスタより出力された信号SOUT_{N-1}は2個のクロックインバータを経由して信号SOUT_Nとして出力される。N+1段目のクロック信号の入力をN段目の場合と入れ替え、クロック信号CLK₁とCLK₂を図9のタイミングチャートのように制御することにより、各段の信号の立ち上がり時間をシフトすることが可能である。その結果、薄膜トランジスタのゲートもしくはドレイン線に表示データが送られるタイミングを画素毎に時間DELHだけ順次シフトさせることができる。シフトレジスタDSRの回路様式は多岐にわたるが、図8に示す回路構成を採用した場合、回路を構成する素子数は少なくなる。しかし、信号の立ち上がり、立下りが急峻である必要がある。

【0031】

ドレイン側シフトレジスタDSRの構成素子は、図3(b-1)(b-2)に示した仮想タイルVTL内に作製される。この回路は高速性を要求されるので、全ての薄膜トランジスタのソース・ドレインの向きは、固体レーザを用いたパルス変調レーザ光あるいは擬似CWレーザ光の走査方向SSLDに平行となるよう、レイアウトすることが望ましい。

【0032】

また、ドレイン側シフトレジスタDSRと同様に、インターフェースIF、クロック信号発生器CLG、ゲート側シフトレジスタGSR、デジタルアナログ変換器DSCといった回路は、仮想タイルVTL内に作製される。よって、これらの回路では、全ての薄膜トランジスタ群のソース・ドレインの向きが、固体レーザを用いたパルス変調レーザ光あるいは擬似CWレーザ光SSLの走査方向に平行となるよう、レイアウトすることが望ましい。

【0033】

なお、本発明は、任意の回路の仕様に対して最適なレイアウトを提供することにあるので、上記した実施例の様な駆動方式、回路配置に限らず適用される。例えば、デジタルアナログ変換器にメモリを備えたものを考えたとき、先に述べたように、電荷を保持、放蓄電する素子には、固体レーザを用いたパルス変調レー

ザ光あるいは擬似CWレーザ光の走査方向に対し、垂直となるようレイアウトされた薄膜トランジスタを採用することが望ましい。従って、この場合、メモリのスイッチング素子となる薄膜トランジスタはパルス変調レーザ光あるいは擬似CWレーザ光SSLDの走査方向SSLDに対し垂直、デジタルアナログ変換器を構成するその他のトランジスタ群は平行にレイアウトすることが望ましい。同様に、仮想タイルVTL内に作製される高速回路の内、例えばメモリのよう電荷を保持、放蓄電する薄膜トランジスタが含まれるものは、この素子のみが回路を構成するその他のトランジスタ群に対し、垂直となる独特なレイアウトとなる。

【0034】

薄膜トランジスタの構造はそれぞれの回路仕様に対し最適なものを選択する。例えば、薄膜トランジスタのゲート絶縁膜を薄膜化し、あるいは高誘電率の絶縁膜を採用することで、性能が向上し、ばらつきが低減することが良く知られている。図10はゲート絶縁膜にシリコン酸化膜を用い、その膜厚による特性の違いをゲート電圧に対するドレイン電流をプロットして示す説明図である。図10において、シリコン酸化膜の膜厚が100nmのときの特性TF T100に比べ、膜厚が50nmの場合の特性TF T50の方が立ち上がり特性もよく、電流量も大きいことが分かる。したがって、例えば、シフトレジスタ、デジタルアナログコンバータ、インタフェースといった低電圧、高速駆動の回路には、ゲート絶縁膜が薄い薄膜トランジスタを用い、それ以外の回路にはゲート絶縁膜が厚い薄膜トランジスタを採用することにより、更に回路性能を向上させることができる。

【0035】

また、図11はチャネル領域とソース・ドレイン領域の境界に低濃度の不純物注入層が存在する場合と、ゲートが低濃度の不純物注入層上に存在する場合の薄膜トランジスタの構造を模式的に示す断面図である。図11(a)はチャネル領域とソース・ドレイン領域の境界に低濃度の不純物注入層が存在する場合を、図11(b)は低濃度の不純物注入層上にゲートが存在する場合を示す。図11(a)に示すように、チャネル領域CHRとソース・ドレイン領域SDRとの境界領域に低濃度の不純物注入層LDDRが存在するLDD(Lightly Doped Drain)構造を持つ薄膜トランジスタTF Tを採用すると、性能は

低下するものの、通常の薄膜トランジスタで問題となる寄生トランジスタの発生原因であるオフ電流を抑制することができ、また信頼性も高くなる。したがって、例えば画素回路のように低リーク電流を要求する回路、レベルシフタ、バッファといった高耐圧、高信頼性を要求する回路、あるいは階調信号発生回路のように寄生バイポーラ動作によるアーリー電圧増加が階調電圧をばらつかせることを回避したい回路では、LDD構造を採用することが望ましい。

【0036】

また、図11(b)に示すように、ゲートGATEがLDD領域LDDR上に形成された領域GOLDが存在するGOLD (Gate Overlapped LDD) 構造を採用すると、LDD構造よりも性能は向上し、信頼性も高いことから、更に回路性能を向上させることができる。

【0037】

以上を踏まえ、画像表示装置を構成するアクティブ・マトリクス基板の実施例を説明する。図12は本発明のアクティブ・マトリクス基板の他の構成例の概念を模式的に説明する平面図である。図12における各回路の位置は図1にもとづいている。画素や高耐圧であることが要求される回路が搭載される領域RGN1では、当該回路を構成する薄膜トランジスタTF T1のソース・ドレイン方向は固体レーザの走査方向SSLDに対して平行なものと垂直なものが混在する。その具体的な構造は、上記LDD構造もしくはGOLD構造を有するものとするのが望ましい。

【0038】

高性能回路が搭載される領域RGN2では、回路を構成する薄膜トランジスタTF T2のソース・ドレイン方向は固体レーザの走査方向SSLDに対して平行なもののみである。その具体的な構造は、LDD構造もしくはGOLD構造でもよいが、低電圧で駆動する場合に耐圧は必要ないので、単純な相補型MOS構造であることが望ましい。更に、薄膜トランジスタTF T2のゲート絶縁膜の膜厚は薄膜トランジスタTF T1のそれよりも薄いか、誘電率の高い材料であることが望ましい。階調信号を発生させる回路が搭載される領域RGN3では、回路を構成する薄膜トランジスタTF T2のソース・ドレイン方向は固体レーザの走査

方向 S S L D に対して平行なもののみである。その具体的な構造は、寄生バイポーラ動作を抑制するために、L D D 構造もしくは G O L D 構造を有することが望ましい。

【0039】

薄膜トランジスタの製造方法については、回路設計において上記レイアウトを反映させることを除けば、よく知られた酸化、成膜工程、ホトリソグラフィ工程を繰り返す方法を採用すればよい。本発明特有のプロセスは仮想タイル V T L の位置を決定する方法のみである。次に、仮想タイル V T L の位置を決定する方法について説明する。

【0040】

図 1 3 は仮想タイル V T L の位置を決定するための固体レーザ照射領域を位置決めする様子の説明図であり、図 1 3 (a - 1) は位置決めマーク形成時の斜視図、図 1 3 (a - 2) は図 1 3 (a - 1) を図の上からみた平面図、図 1 3 (b - 1) はレーザ照射時の斜視図、図 1 3 (b - 2) は図 1 3 (b - 1) を図の上からみた平面図である。図 1 3 において、ポリシリコン膜 P S I に、ホトリソグラフィ法、あるいはドライエッチング法あるいはレーザにより、パルス変調レーザ光あるいは擬似 C W レーザ光の照射位置決めのターゲットとなる位置決めマーク M A R K を形成する (図 1 3 (a - 1) (a - 2)) 。この位置決めマーク M A R K の形成には上記した方法のどれを用いても良いが、レーザで形成すれば、マスク数、およびホトリソグラフィ工程数 N O 数が増加するのを回避できる。

【0041】

次に、マーク M A R K を参照しながら、パルス変調レーザ光 S X L を方向 S S L D に走査しながら、かつ所定の領域 V T L を選択しながら不連続で照射する (図 1 3 (b - 1) (b - 2)) 。領域 V T L にパルス変調レーザ光を走査して照射し、帯状の多結晶シリコン膜の不連続改質領域を形成した後の工程は、公知の薄膜トランジスタ製造工程を採用すればよい。

【0042】

図 1 4 は本発明による画像表示装置を液晶表示装置に適用した構成例を模式的に説明するための展開斜視図である。アクティブ・マトリクス基板を構成するガ

ラス基板 SUB 1 上に、マトリクス状に配置された複数の画素電極 PXL、及び上記画素電極に表示信号を入力するドレイン側回路 DSR 及びゲート側駆動回路 GSR、画像表示のために必要な回路群 CIR を形成する。このガラス基板 SUB 1 の上に配向膜 LO を印刷法により塗布する。配向膜 LO はラビング等で配向制御能が付与される。

【0043】

一方、対向基板 SUB 2 にはカラーフィルタ CF、対向電極 ITO が形成され、その上に配向膜 LO を塗布し、同様に配向制御能が付与される。対向基板 SUB 2 をガラス基板 SUB 1 と貼り合わせ、対向する配向膜 LO の間に真空注入により液晶 LIQ を充填し、周囲を封止剤 SEA に封止する。なお、対向基板 SUB 2 をガラス基板 SUB 1 との間にスペーサ SPC を介在させて両基板間の間隙を規制する。スペーサ SPC はプラスチックビーズやガラスビーズが多く用いられるが、これに代えて対向基板 SUB 2 あるいはガラス基板 SUB 1 側にフォトリソグラフィ技法で形成した柱状スペーサを用いることもできる。

【0044】

その後、ガラス基板 SUB 1 と対向基板 SUB 2 の各表面に偏光板 DEF を貼り付ける。そして、ガラス基板 SUB 1 の背面にバックライト BKL を装着して液晶表示装置が完成する。なお、図 14 では対向基板 SUB 2 側にカラーフィルタを形成したものを例としたが、アクティブ・マトリクス基板であるガラス基板 SUB 1 側にカラーフィルタを形成した形式の液晶表示装置にも本発明は同様に適用できる。

【0045】

また、前記図 1 乃至図 13 で説明したアクティブ・マトリクス基板を用いて有機 EL 表示装置を製造することもできる。図 15 は本発明による画像表示装置を有機 EL 表示装置に適用した構成例を説明する展開斜視図である。また、図 16 は図 15 に示した構成要素を一体化した有機 EL 表示装置の平面図である。前記実施例で説明したアクティブ・マトリクス基板 SUB に有する画素電極上に有機 EL 素子を形成する。有機 EL 素子は、画素電極表面から順次、ホール輸送層、発光層、電子輸送層、陰極金属層などを蒸着した積層体から構成される。この有

機EL素子毎に、図示しない薄膜トランジスタ回路で構成された画素回路を有している。また、画素領域PARの外側に駆動回路部DDR、走査駆動回路部GDRが形成されており、これら駆動回路部DDR、走査駆動回路部GDRに対して、外部信号源からの表示用信号、走査信号がフレキシブルプリント基板PLBで供給される。駆動回路部DDR、走査駆動回路部GDRは、前記した薄膜トランジスタで構成されている。フレキシブルプリント基板PLBには表示制御装置CTLを構成する集積回路が搭載されている。

【0046】

このような積層層を形成したアクティブ・マトリクス基板SUBの画素領域PARの周囲にシール材を配置し、封止基板SUBXまたは封止缶で封止する。このアクティブ・マトリクス基板SUBを上側ケースであるシールドフレームSHDと下側ケースCASで一体化して有機EL表示装置とする。有機EL表示装置用のアクティブ・マトリクス駆動では、有機EL素子が電流駆動発光方式であるために高性能の画素回路の採用が良質な画像の提供には必須であり、CMOS型薄膜トランジスタの画素回路を用いるのが望ましい。また、駆動回路領域に形成する薄膜トランジスタ回路も高速、高精細化には必須である。本実施例のアクティブ・マトリクス基板SUBは、このような要求を満たす高い性能を有している。本実施例のアクティブ・マトリクス基板を用いた有機EL表示装置は本実施例の特長を最大限に発揮する表示装置の1つである。

【0047】

本発明は、上記した画像表示装置のアクティブ・マトリクス基板を用いたものに限らず、本発明の特許請求の範囲に記載された構成および実施の形態で説明した構成に限定されるものではなく、本発明の技術思想を逸脱することなく種々の変更が可能であり、例えば各種の半導体装置に適用することもできる。

【0048】

図17から図20は本発明の画像表示装置の応用例を示す。図17はパーソナルコンピュータやテレビ受像機の表示部に本発明の画像表示装置を実装した例を示す外観図であり、パーソナルコンピュータやテレビ受像機の表示部MONに本発明の液晶表示装置LIQMONを実装した状態を示す。

【0049】

図18は携帯電話機の表示部に本発明の画像表示装置を実装した例を示す外観図であり、携帯電話機の表示部MOBに本発明の液晶表示装置LIQMONを用いた状態を示す。

【0050】

図19はデジタル携帯端末の表示部に本発明の画像表示装置を実装した例を示す外観図であり、デジタル携帯端末PDAの表示部に本発明の画像表示装置LIQMONを実装した状態を示す。

【0051】

図20はビデオカメラの表示部に本発明の画像表示装置を実装した例を示す外観図であり、ビデオカメラCAMのビューファインダ部に本発明の画像表示装置LIQMONを実装した状態を示す。

【0052】

上記のほかにも、デジタルスチールカメラや、プロジェクタ、車載用ナビゲーションシステム等の画像表示部に本発明の画像表示装置を採用することができる。

【0053】**【発明の効果】**

以上説明したように、本発明によれば、アクティブ・マトリクス基板を構成する絶縁基板上での各種回路部のレイアウト最適化により、マトリクス状に配置された画素部と、この画素部を駆動させるための高速の電流移動度で動作する高性能の薄膜トランジスタ回路等を有する画素駆動回路部を備えた高画質の画像表示装置を提供することができる。

【図面の簡単な説明】

【図1】 画像表示装置を構成するアクティブ・マトリクス基板であるガラス基板上に形成した画像部と画素駆動回路部および他の必要な回路類をの概略を模式的に説明する平面図である。

【図2】 アクティブ・マトリクス基板の各駆動回路領域に形成される各回路対する要求仕様とその仕様を満たした場合の効果をまとめた説明図である。

【図 3】 アモルファスシリコン膜を良質なポリシリコン膜に改質する様子を説明する模式図である。

【図 4】 薄膜トランジスタのレイアウトと固体レーザの照射方向および粒界の様子を模式的に説明する平面図である。

【図 5】 仮想タイル V T L 内に作製した薄膜トランジスタのレイアウト方法の違いによる輸送特性を比較した説明図である。

【図 6】 本発明の実施例における絶縁性基板上での画素のレイアウトの一例を説明する要部平面図である。

【図 7】 ドレイン側シフトレジスタ D S R の 1 段分の基板上でのレイアウト例を模式的に説明する要部平面図である。

【図 8】 ドレイン側シフトレジスタ D S R 1 段分の論理回路図である。

【図 9】 図 7 に示したシフトレジスタの動作を説明するタイミング図である。

【図 10】 ゲート絶縁膜にシリコン酸化膜を用い、その膜厚による特性の違いをゲート電圧に対するドレイン電流をプロットして示す説明図である。

【図 11】 チャネル領域とソース・ドレイン領域の境界に低濃度の不純物注入層が存在する場合と、ゲートが低濃度の不純物注入層上に存在する場合の薄膜トランジスタの構造を模式的に示す断面図である。

【図 12】 本発明のアクティブ・マトリクス基板の他の構成例の概念を模式的に説明する平面図である。

【図 13】 仮想タイル V T L の位置を決定するための固体レーザ照射領域を位置決めする様子の説明図である。

【図 14】 本発明による画像表示装置を液晶表示装置に適用した構成例を模式的に説明するための展開斜視図である。

【図 15】 本発明による画像表示装置を有機 E L 表示装置に適用した構成例を説明する展開斜視図である。

【図 16】 図 15 に示した構成要素を一体化した有機 E L 表示装置の平面図である。

【図 17】 パーソナルコンピュータやテレビ受像機の表示部に本発明の画

像表示装置を実装した例を示す外観図である。

【図 18】 携帯電話機の表示部に本発明の画像表示装置を実装した例を示す外観図である。

【図 19】 デジタル携帯端末の表示部に本発明の画像表示装置を実装した例を示す外観図である。

【図 20】 ビデオカメラの表示部に本発明の画像表示装置を実装した例を示す外観図である。

【符号の説明】

C L G . . . クロック信号発生器

I F . . . インターフェース回路

S L S I . . . システム L S I

S I G . . . 階調信号発生器

G S R . . . ゲートシフトレジスタ

G L S . . . ゲートレベルシフタ

S X . . . 固体レーザを用いたパルス変調レーザ光もしくは擬似 C W レーザ光照射域

P X L . . . 画素回路

D L . . . ドレイン線

S U B . . . 絶縁性基板（ガラス基板）

D S P . . . 画像表示領域

D S R . . . ドレインシフトレジスタ

D L S . . . ドレインレベルシフタ

D A C . . . デジタルアナログ変換器

B F . . . バッファ回路

S S W . . . サンプリングスイッチ

G L . . . ゲート線

E X L . . . エキシマレーザ光

E X L D . . . エキシマレーザ光の走査方向

P S I . . . エキシマレーザ光で作製したポリシリコン膜

INS・・・絶縁性基板

PRC・・・プリカーサ膜

ASI・・・アモルファスシリコン膜

SSL・・・固体レーザを用いたパルス変調レーザ光もしくは擬似CWレーザ光

SSLD・・・固体レーザを用いたパルス変調レーザ光もしくは擬似CWレーザ光の走査方向

VTL・・・固体レーザを用いたパルス変調レーザ光もしくは擬似CWレーザ光の照射領域

SDD・・・薄膜トランジスタのソース・ドレイン方向

TFTP・・・薄膜トランジスタのソース・ドレイン方向が固体レーザを用いたパルス変調レーザ光もしくは擬似CWレーザ光の走査方向に平行になるようにレイアウトした薄膜トランジスタ

TFTV・・・薄膜トランジスタのソース・ドレイン方向が固体レーザを用いたパルス変調レーザ光もしくは擬似CWレーザ光の走査方向に垂直になるようにレイアウトした薄膜トランジスタ

TFTPC・・・薄膜トランジスタのソース・ドレイン方向が固体レーザを用いたパルス変調レーザ光もしくは擬似CWレーザ光の走査方向に平行になるようにレイアウトした薄膜トランジスタの輸送特性

TFTVC・・・薄膜トランジスタのソース・ドレイン方向が固体レーザを用いたパルス変調レーザ光もしくは擬似CWレーザ光の走査方向に垂直になるようにレイアウトした薄膜トランジスタの輸送特性

CLQ・・・画素電極

CST・・・保持容量

SC T・・・コンタクト

SW・・・スイッチ

SWTR1・・・スイッチを構成するトランジスタ

SWTR2・・・スイッチを構成するトランジスタ

SOURTN-1・・・N-1段目のシフトレジスタの出力

SOURTN・・・N段目のシフトレジスタの出力

SOURTN+1・・・N+1段目のシフトレジスタの出力

VSS・・・回路の最低設定電圧

VDD・・・回路の最高設定電圧

CLK1・・・クロック信号1

CLK2・・・クロック信号2

NOUT・・・N段目のデジタルアナログ変換器へ出力される信号

VRST・・・1走査後にリセット信号を送るトランジスタ

DELH・・・N段目のデジタルアナログ変換器へ出力される信号の出力時間

TFT50・・・ゲート酸化膜厚が50nmの薄膜トランジスタの輸送特性

TFT100・・・ゲート酸化膜厚が100nmの薄膜トランジスタの輸送特性

GATE・・・薄膜トランジスタのゲート電極

GINS・・・薄膜トランジスタのゲート絶縁膜

SDR・・・薄膜トランジスタのソース・ドレイン領域

LDDR・・・薄膜トランジスタのLDD (Lightly Doped Drain) 領域

CHR・・・薄膜トランジスタのチャネル領域

GOLP・・・GOLD構造を持つ薄膜トランジスタで、ゲートがLDD にオーバーラップしている領域

RGN1・・・ポリシリコン膜がELA等で成膜され、薄膜トランジスタのソースドレインの方向が複数種ある回路領域

RGN2・・・ポリシリコン膜がSELAX等で成膜され、薄膜トランジスタのソース・ドレインの方向がSSLDに平行なもののみで構成されている回路領域

RGN3・・・ポリシリコン膜がSELAX等で成膜され、薄膜トランジスタのソース・ドレインの方向がSSLDに平行なもののみで構成されており、N型薄膜トランジスタの構造がLDDもしくはGOLD構造である回路領域

TFT1・・・ソース・ドレインの方向が複数種ある薄膜トランジスタ群

TFT2・・・ソース・ドレインの方向がSSLDに平行なもののみである薄膜トランジスタ群

TFT3・・・ソース・ドレインの方向がSSLDに平行なもののみであり、N型薄膜トランジスタの構造がLDDもしくはGOLD構造である薄膜トランジスタ群

MARK・・・レーザ照射の位置決めパターン

DEF・・・偏光板

ITO・・・対向電極

CF・・・カラーフィルタ

SEA・・・シール材

LO・・・配向膜

LIQ・・・液晶

CIR・・・周辺回路群

BKL・・・バックライト

SHD・・・シールドフレーム

SUBX・・・封止基板

PAR・・・画素領域

DDR・・・ドレイン側駆動回路

GDR・・・ゲート側駆動回路

PLB・・・プリント基板

CTL・・・DDR, GDRに搭載できなかった周辺回路

MON・・・モニタ

LIQMON・・・液晶表示装置

MOB・・・携帯電話機

PDA・・・デジタル携帯端末

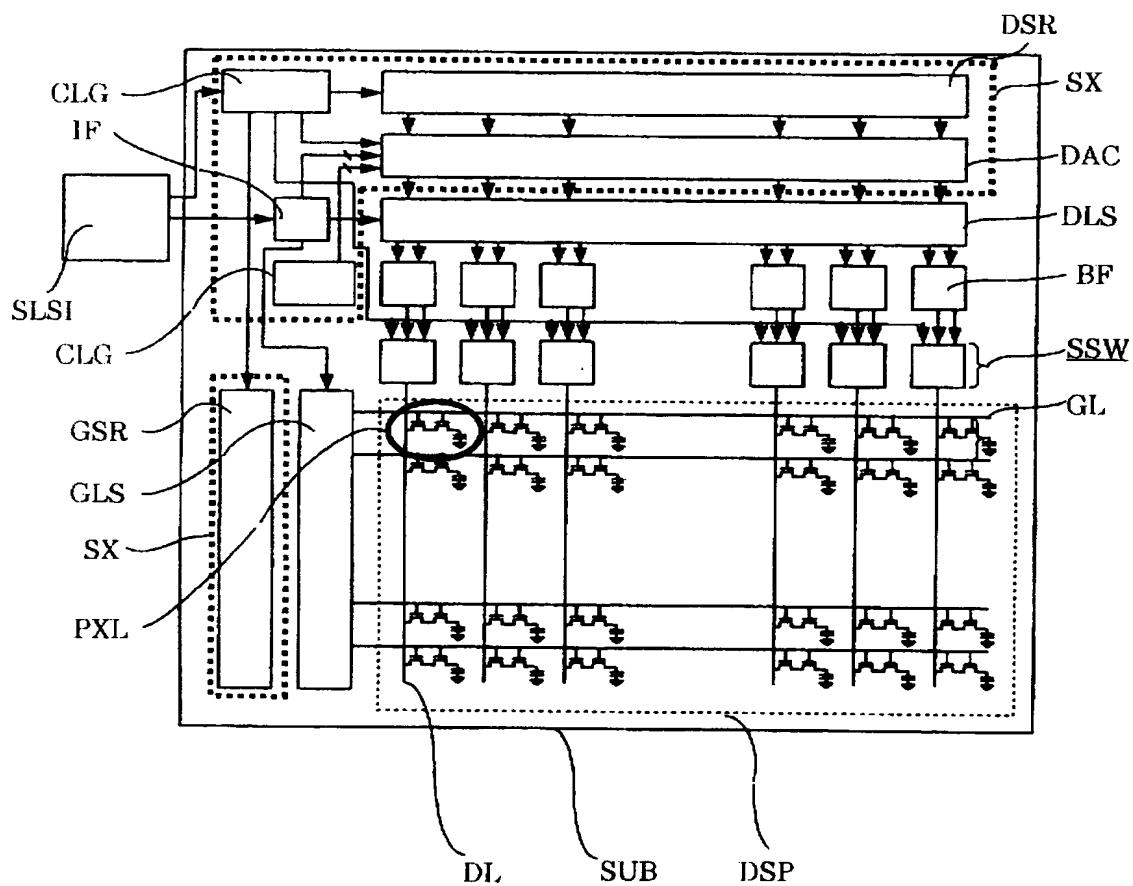
CAM・・・ビデオカメラ。

【書類名】

図面

【図 1】

図 1

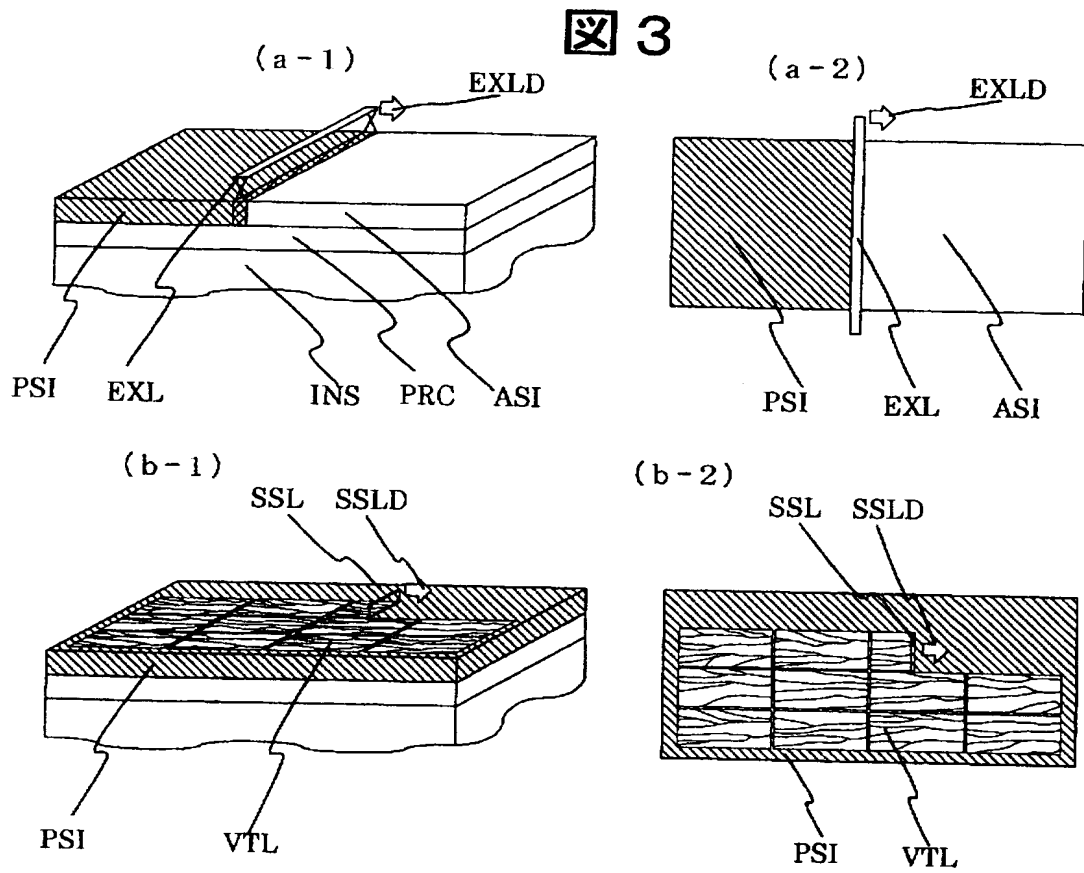


【図 2】

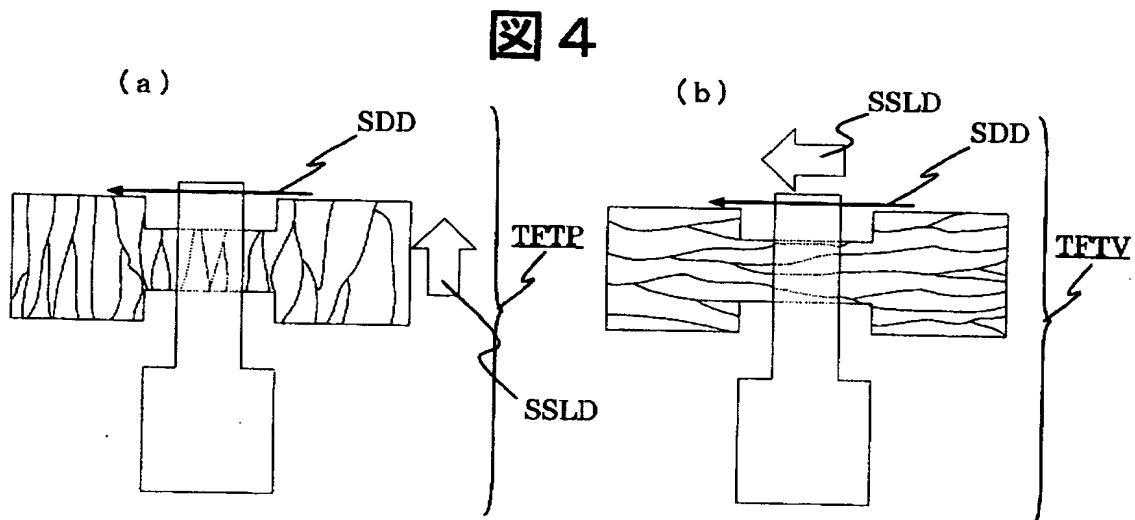
図 2

	画素領域	レベルシフト・ バックア・ サンプリングスイッチ	シフトレジスタ・DAC	インタフェース・ クロック信号発生器	階調信号発生器
要求される仕様	高耐圧・低リーク	高耐圧・大電流 高信頼性	低電圧・大電流 低ばらつき	低電圧・低ばらつき	大電流・低ばらつき
仕様に対する効果	色調明瞭 電荷保持能力向上	色調明瞭・画素面積 拡大化・高精細化	消費電力低減・画素 面積拡大化・高精細 化	消費電力低減 信頼性向上	画素面積拡大化・高 精細化・信頼性向上

【図 3】

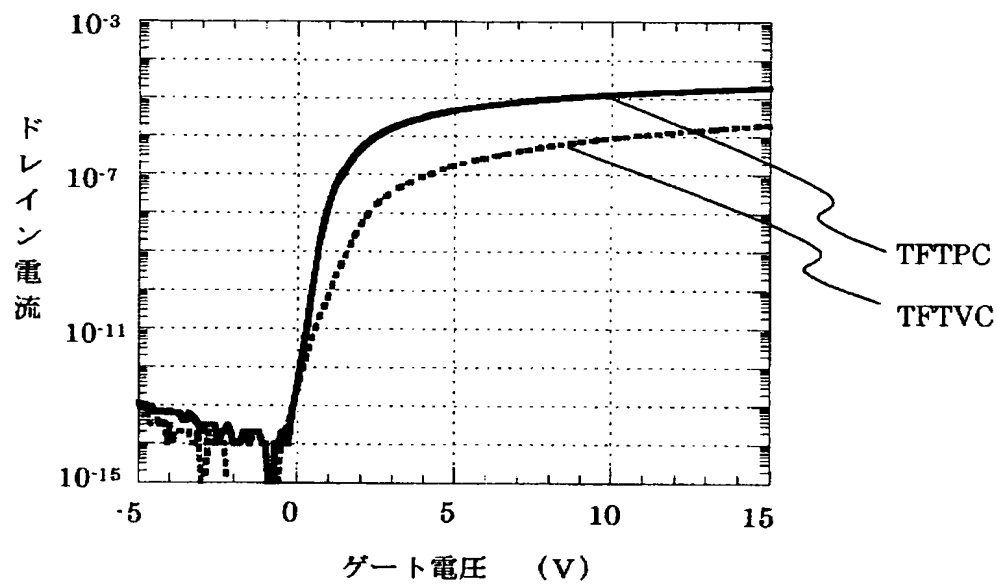


【図 4】



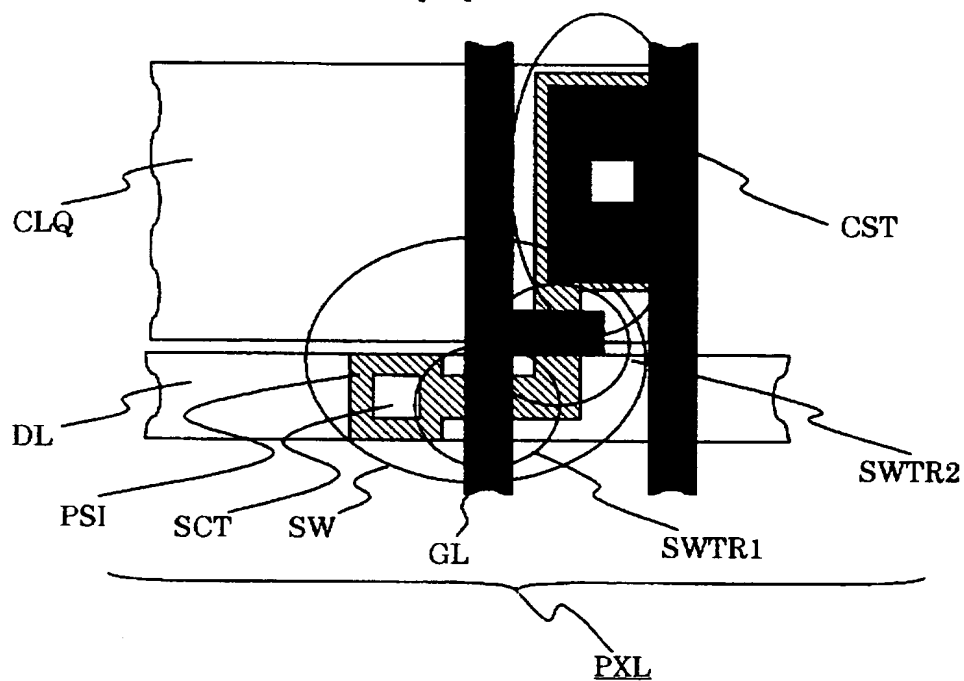
【図 5】

図 5



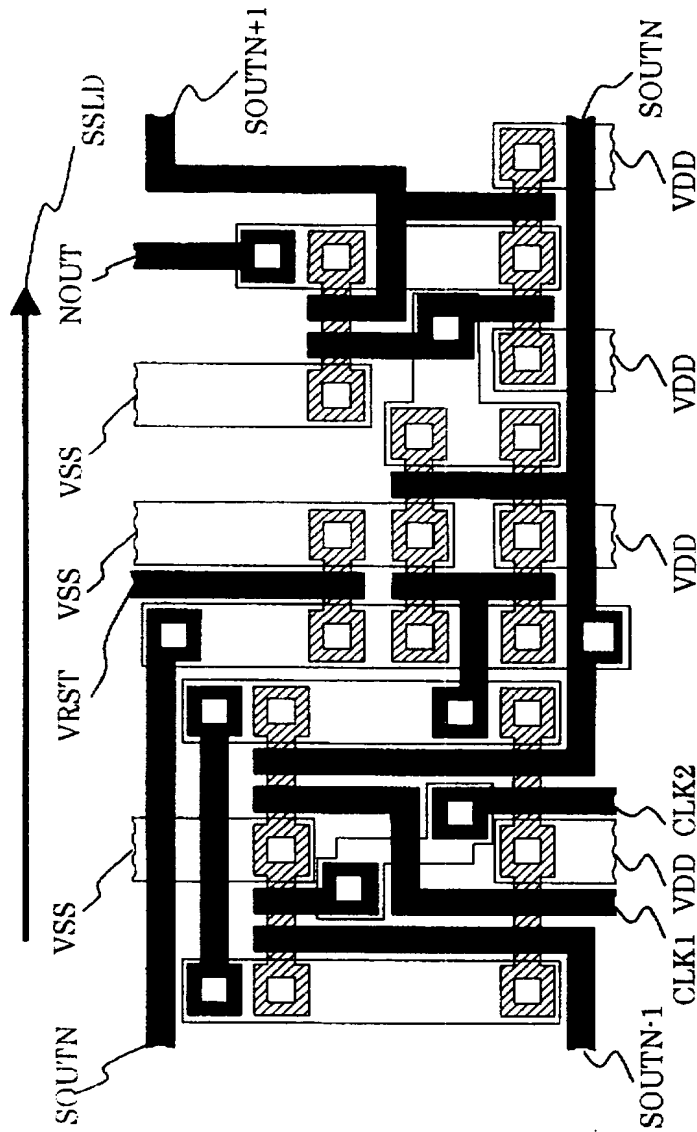
【図 6】

図 6



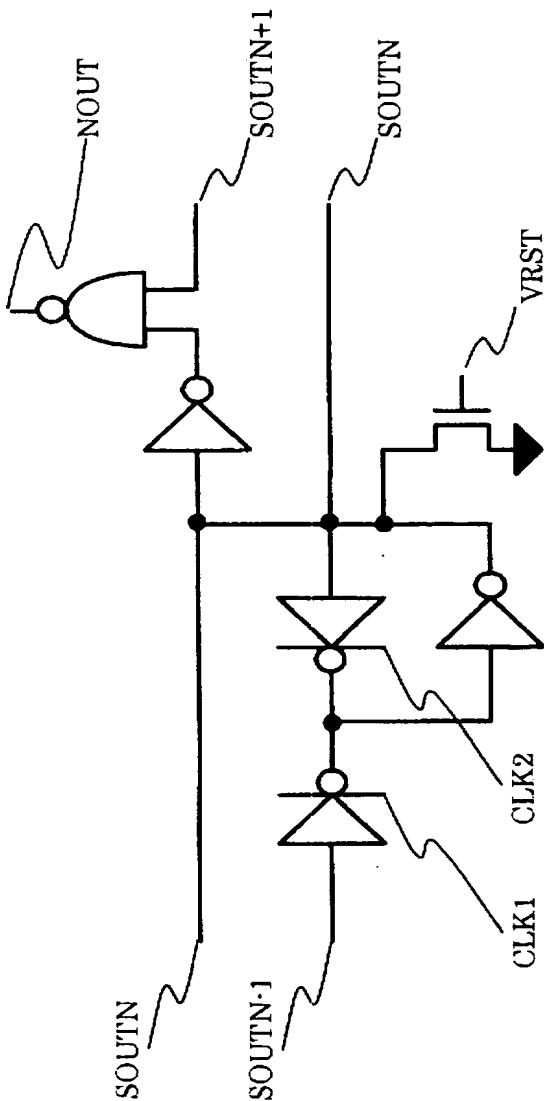
【図 7】

図 7



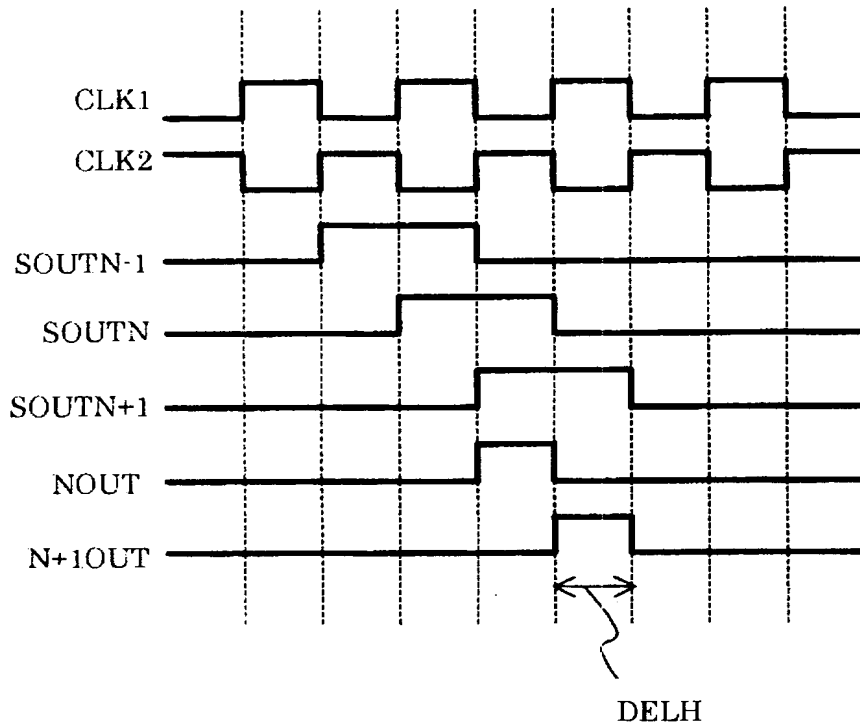
【図 8】

図 8



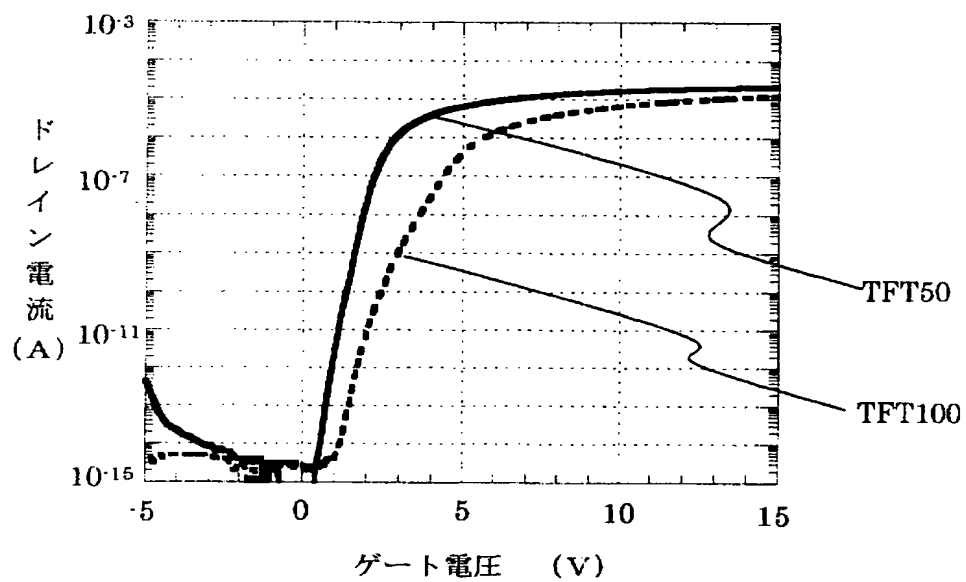
【図 9】

図 9



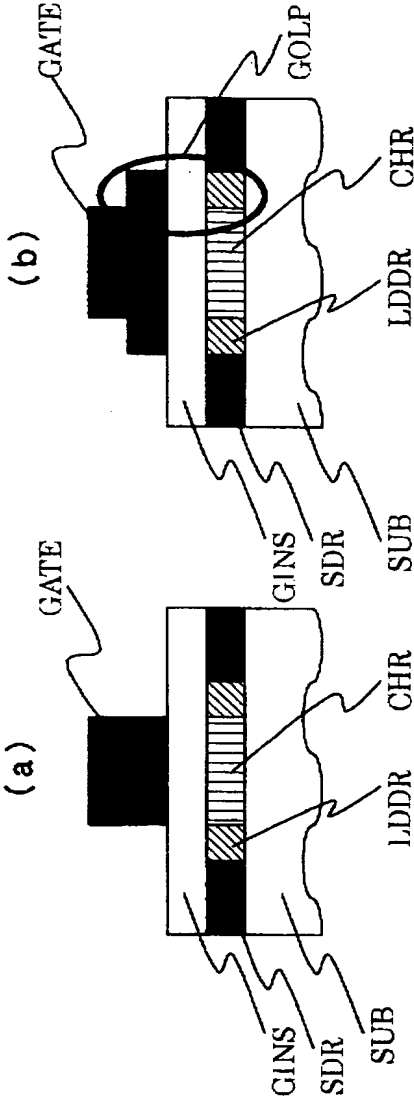
【図 10】

図 10



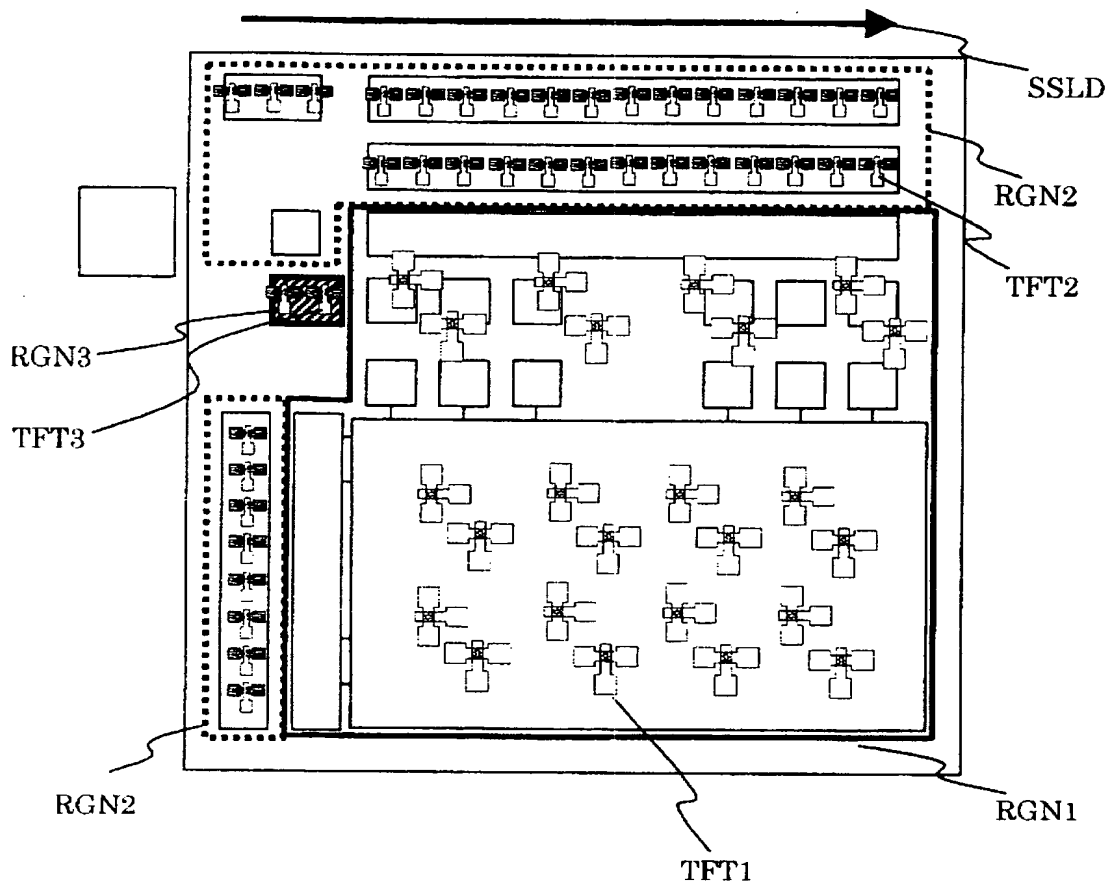
【図 11】

図 11



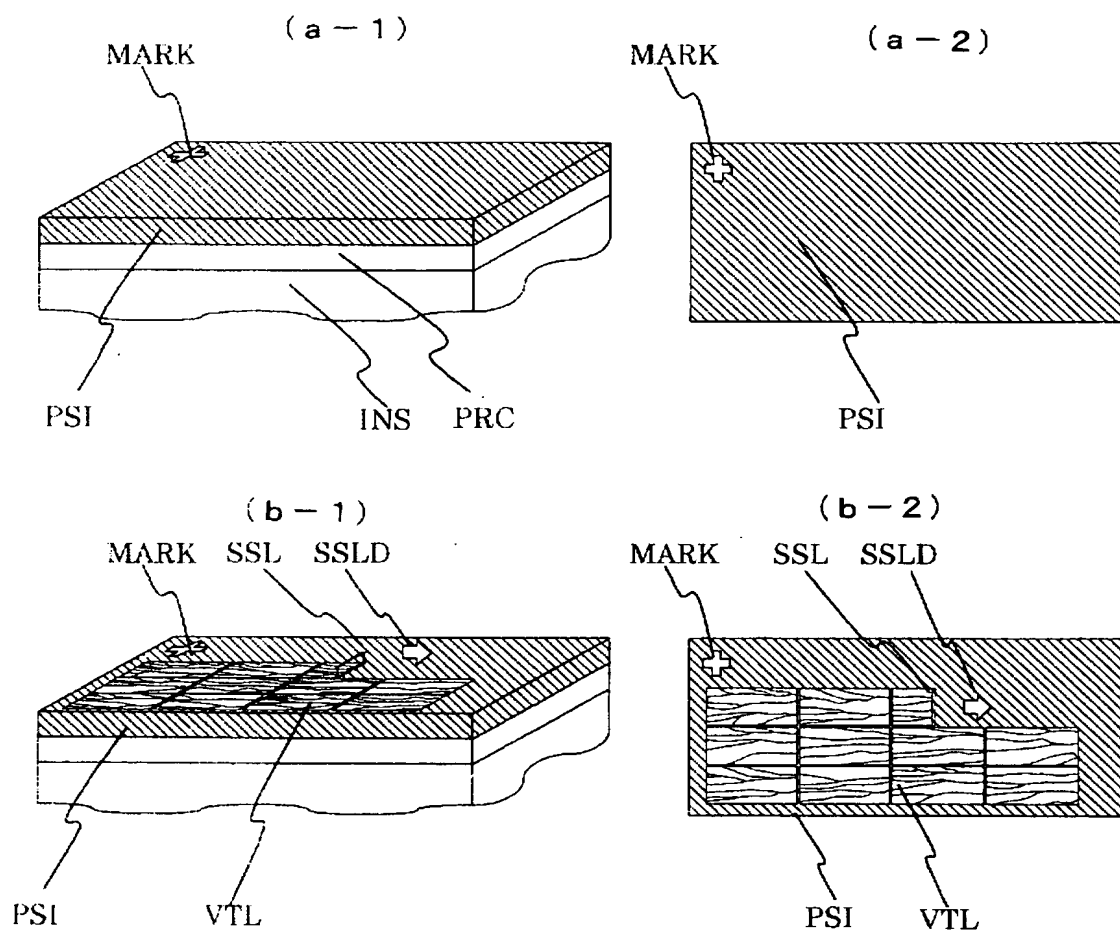
【図 12】

図 12



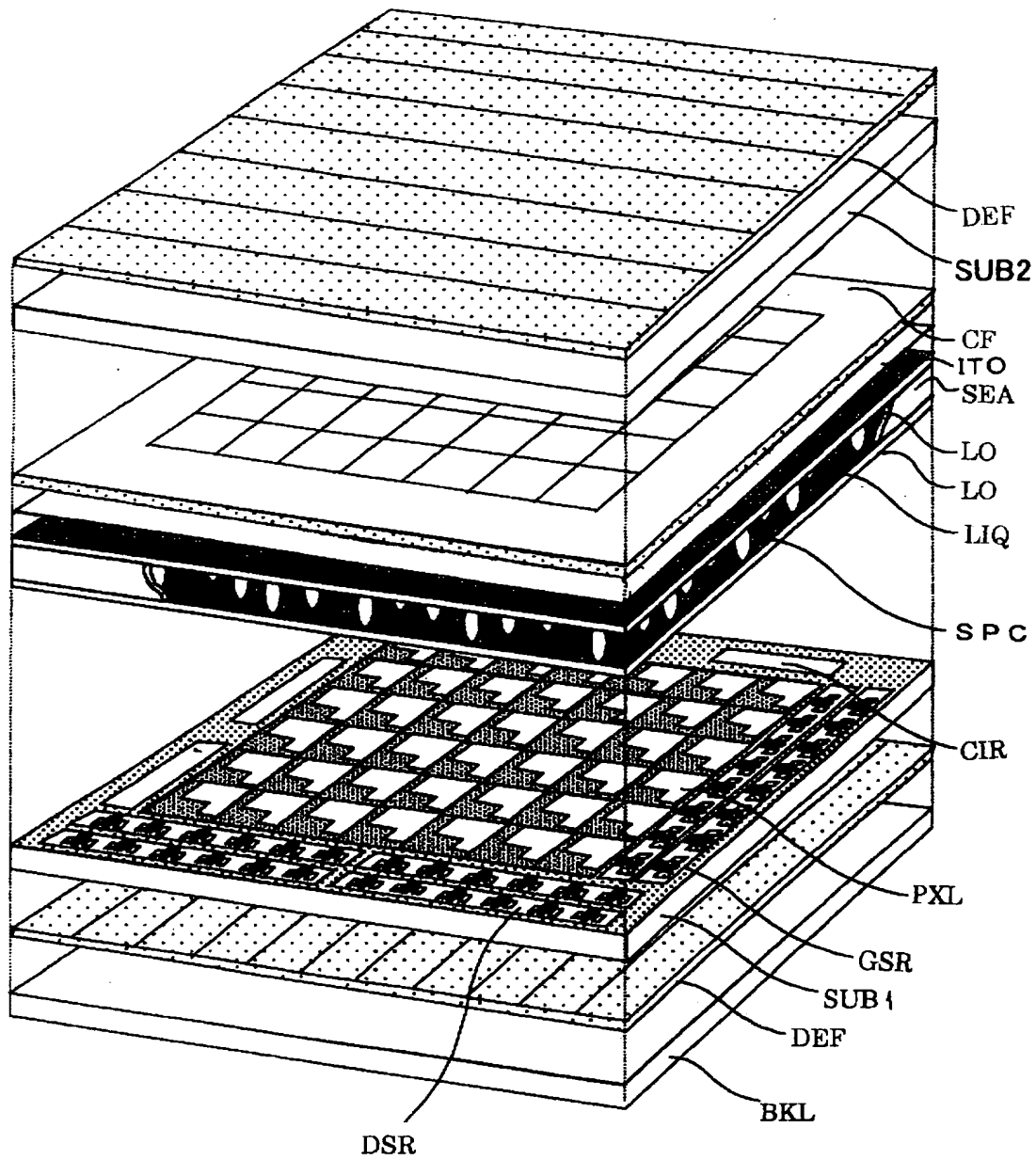
【図 13】

図 13



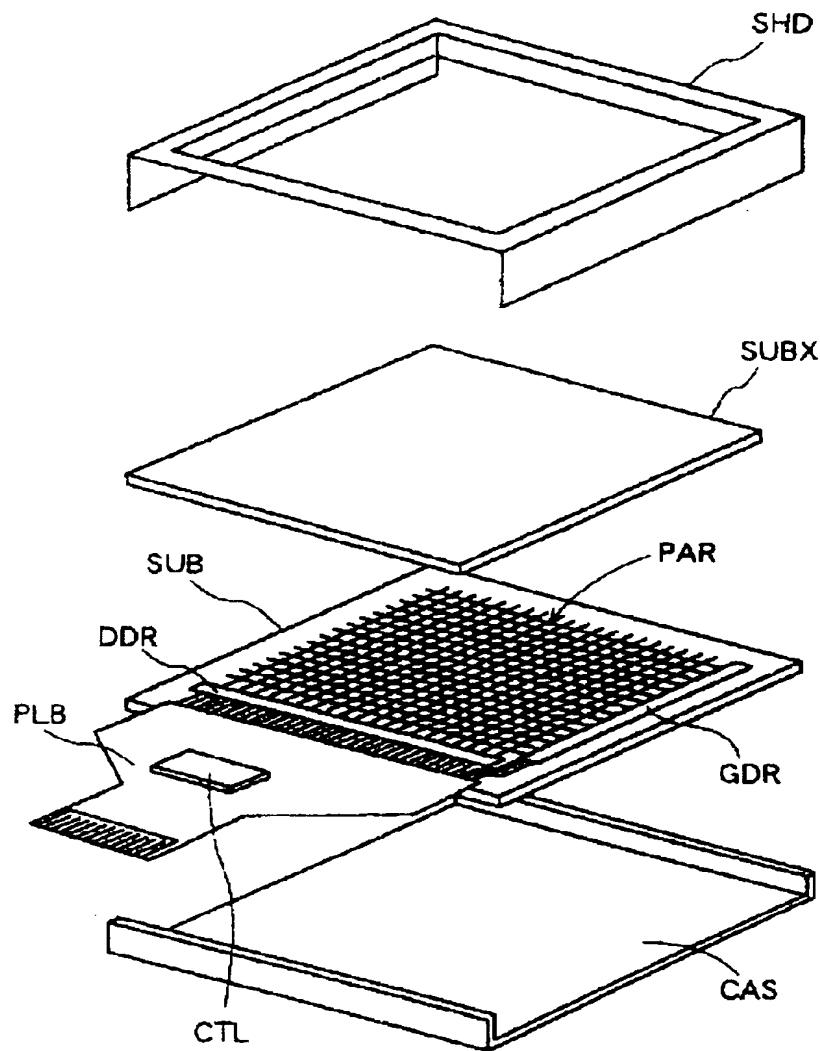
【図 14】

図 14



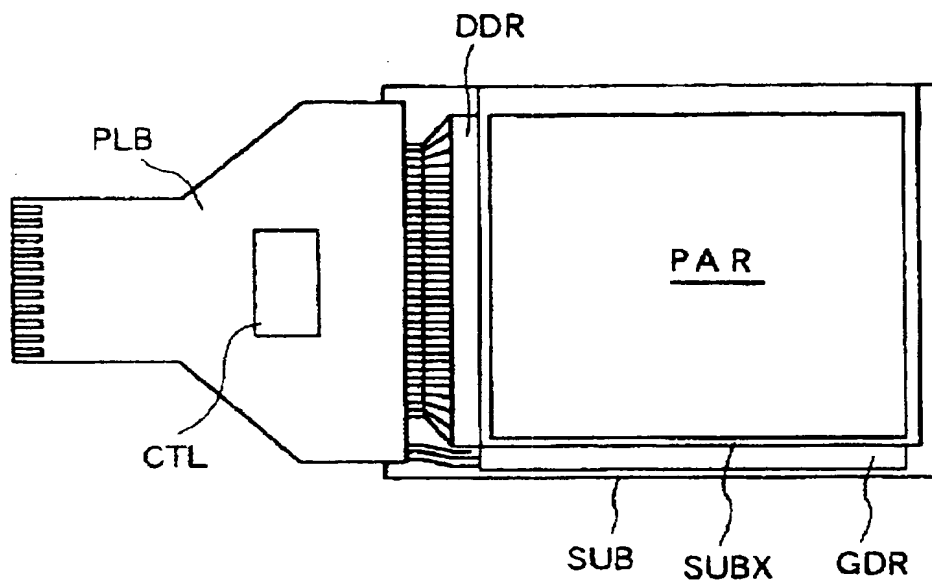
【図15】

図15



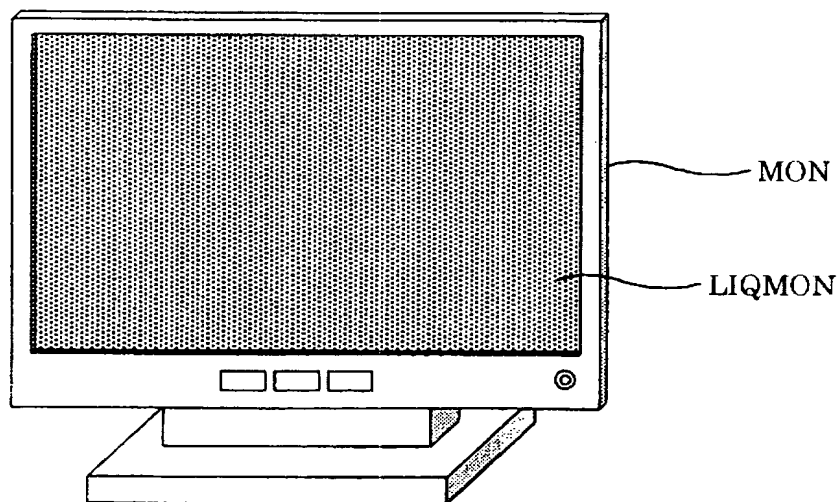
【図 16】

図 16



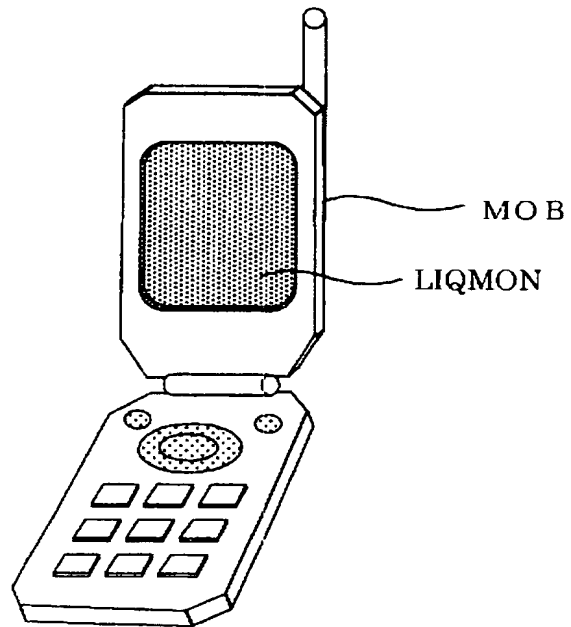
【図 17】

図 17



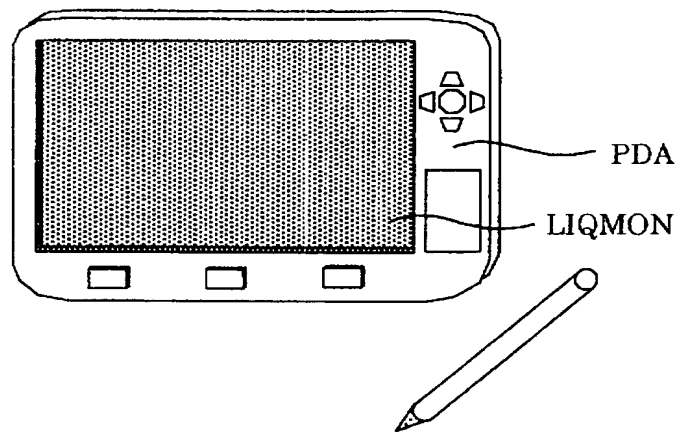
【図 18】

図 18



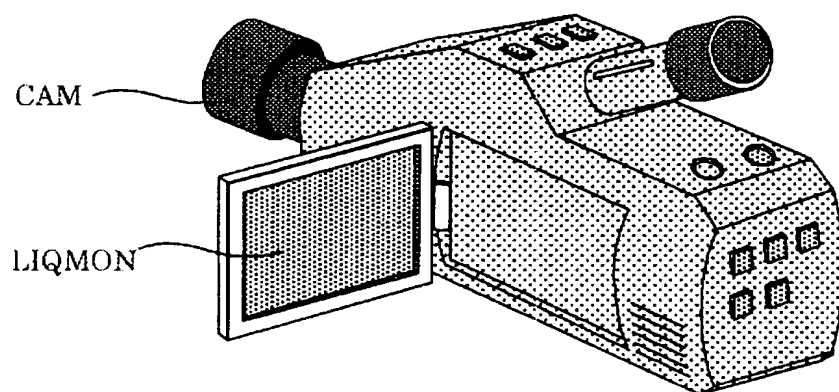
【図 19】

図 19



【図 20】

図 20



【書類名】 要約書

【要約】

【課題】 マトリクス状に配置された画素部を駆動するための駆動回路を構成する薄膜トランジスタの高速化する。

【解決手段】 絶縁性基板 SUB 上の表示領域 DSP に多数の画素 PXL をマトリクス状に配置し、この表示領域 DSP の周辺にドレインシフトレジスタ DSR、デジタル・アナログ変換器 DAC、ドレインレベルシフタ DLS、バッファ BF、サンプリングスイッチ SSW からなるドレイン側画素駆動回路と、ゲートシフトレジスタ GSR、ゲートレベルシフタ GLS などからなるゲート側画素駆動回路、および各種の回路を配置する。これら画素駆動回路の高速動作を必要とする回路領域 SX を構成する薄膜トランジスタの電流移動度を、複数のレイアウトと配置構造の組み合わせを回路毎に最適化し、各回路に特有の仕様を満たす。

【選択図】 図 1

特願 2 0 0 3 - 1 7 6 2 8 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 3 - 1 7 6 2 8 1

出 願 人 履 歴 情 報

識別番号

[5 0 2 3 5 6 5 2 8]

1. 変更年月日

2 0 0 2 年 1 0 月 1 日

[変更理由]

新規登録

住 所

千葉県茂原市早野 3 3 0 0 番地

氏 名

株式会社 日立ディスプレイズ